

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-100778  
(P2003-100778A)

(43) 公開日 平成15年4月4日 (2003.4.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 21/338		H 0 1 L 21/205	4 M 1 0 4
21/205		21/28	3 0 1 H 5 F 0 4 5
21/28	3 0 1	29/80	F 5 F 1 0 2
29/778			H
29/812			

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21) 出願番号 特願2001-294392 (P2001-294392)

(22) 出願日 平成13年9月26日 (2001.9.26)

(71) 出願人 000003078

株式会社東芝  
東京都港区芝浦一丁目1番1号

(72) 発明者 森塚 真由美

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 高田 賢治

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 100088487

弁理士 松山 允之 (外1名)

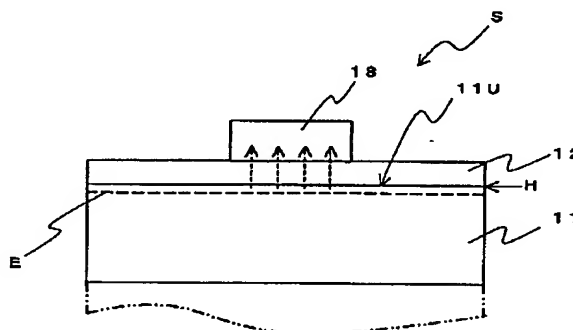
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 安定に低抵抗のオーミック接触を実現し、高周波、高出力、高効率で動作する電界効果トランジスタをはじめとする高性能の各種の半導体装置を提供することを目的とする。

【解決手段】 第1の窒化物半導体層 (11) と、その上に設けられ、それよりも大きなバンドギャップを有する第2の窒化物半導体層 (12) と、その上に設けられた電極 (18) と、を備え、前記第2の窒化物半導体層は、前記第1の窒化物半導体層との間の格子定数の相違に起因した格子歪を有し、且つ前記第1の窒化物半導体層のヘテロ界面 (H) 近傍に蓄積された電子を前記 n 側電極にトンネルさせることにより前記 n 側電極のコンタクト抵抗を低下させる半導体装置を提供する。



## 【特許請求の範囲】

【請求項1】第1の窒化物半導体層と、

前記第1の窒化物半導体層の上に設けられ、前記第1の窒化物半導体層よりも大きなバンドギャップを有する第2の窒化物半導体層と、  
前記第2の窒化物半導体層の上に設けられた電極と、  
を備え、  
前記第2の窒化物半導体層は、前記第1の窒化物半導体層との間の格子定数の相違に起因した格子歪を有し、且つ前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子を前記電極にトンネルさせることにより前記電極のコンタクト抵抗を低下させることを特徴とする半導体装置。

【請求項2】ウルツ鉱型構造を有した第1の窒化物半導体層と、  
前記第1の窒化物半導体層の上に設けられ、前記第1の窒化物半導体層と格子定数が異なり、より大きなバンドギャップを有し、且つ格子緩和していない第2の窒化物半導体層と、  
前記第2の窒化物半導体層の上に設けられた電極と、  
を備え、  
前記第2の窒化物半導体層の層厚は、前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子の前記電極へのトンネル電流成分による前記n側電極のコンタクト抵抗の低下が生ずる範囲とされていることを特徴とする半導体装置。

【請求項3】ウルツ鉱型構造を有した第1の窒化物半導体層と、  
前記第1の窒化物半導体層の上に設けられ、前記第1の窒化物半導体層と格子定数が異なり、より大きなバンドギャップを有し、且つ格子緩和していない第2の窒化物半導体層と、  
前記第2の窒化物半導体層の上に設けられたソース電極及びドレイン電極と、  
前記第2の窒化物半導体層の上に設けられたショットキーゲート電極と、  
を備え、  
前記第2の窒化物半導体層の層厚は、前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子の前記ソース電極及びドレイン電極へのトンネル電流成分による前記ソース電極及びドレイン電極のコンタクト抵抗の低下が生ずる範囲とされていることを特徴とする半導体装置。

【請求項4】ウルツ鉱型構造を有した第1の窒化物半導体層と、  
前記第1の窒化物半導体層の上に選択的に設けられ、前記第1の窒化物半導体層と格子定数が異なり、より大きなバンドギャップを有し、且つ格子緩和していない第2の窒化物半導体層と、  
前記第1の窒化物半導体層の上に選択的に設けられ、前

記第1の窒化物半導体層よりも大きなバンドギャップを有する第3の窒化物半導体層と、  
前記第2の窒化物半導体層の上に設けられたソース電極及びドレイン電極と、  
前記第3の窒化物半導体層の上に設けられたショットキーゲート電極と、  
を備え、  
前記第2の窒化物半導体層の層厚は、前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子の前記ソース電極及びドレイン電極へのトンネル電流成分による前記ソース電極及びドレイン電極のコンタクト抵抗の低下が生ずる範囲とされていることを特徴とする半導体装置。

【請求項5】前記第2の窒化物半導体層の層厚は、6 nm以下であることを特徴とする請求項1～4のいずれか1つ記載の半導体装置。

【請求項6】前記第2の窒化物半導体層が積層される前記第1の窒化物半導体層の表面は、III族元素面であることを特徴とする請求項1～5のいずれか1つに記載の半導体装置。

【請求項7】前記第1の窒化物半導体層は、Ga Nからなり、  
前記第2の窒化物半導体層は、Al Ga Nからなることを特徴とする請求項1～6のいずれか1つに記載の半導体装置。

## 【発明の詳細な説明】

【発明の属する技術分野】本発明は、半導体装置に関し、特に窒化物半導体を用いた半導体装置であって電子に対するオーミックコンタクトを確実に形成し、例えばトランジスタに応用した場合に、高出力、高周波、高効率で動作する半導体装置に関する。

【従来の技術】窒化物半導体であるGa Nは禁制帯幅が広く、Al Ga Nとのヘテロ接合を形成することが容易で、且つAl組成比を調節することによりその特性を広範に制御できるので各種の光デバイスや電子デバイスに適用されつつある。例えば、窒化物半導体を用いたMESFET (Metal-Semiconductor Field Effect Transistor) や HEMT (High Electron Mobility Transistor) あるいはMODFET (Modulation-Doped FET) などの電界効果トランジスタは、高電圧での動作が可能で、高出力のパワー素子として期待されている。なかでも、HEMT構造の場合、Ga As系HEMTに比べてより高濃度の2次元電子をヘテロ界面に蓄積できる利点があり、特に有望とされている。図11は、従来のGa N系HEMTの要部断面構造を表す模式図である。すなわち同図に表したように、従来のHEMTの場合、サファイア基板またはSi C基板(図示せず)の上に、チャネル層となるウルツ鉱型構造Ga N層111を形成し、この層111の上に、所望の閾値電圧となるような20 nm～30 nmの厚みのAl<sub>x</sub>Ga<sub>(1-x)</sub>N (0<

$x < 1$ ) 層112を形成した層構造が用いられる。そして、この $Al_xGa_{1-x}$  N層112の上に、ショットキゲート120とソース電極118、ドレイン電極119が形成されている。

【発明が解決しようとする課題】ところで、このようなトランジスタを高出力、高効率、高周波動作させるための重要な課題の一つは、ソース・ドレイン電極におけるコンタクト抵抗率を十分に低下させることである。抵抗率が大きいと、寄生抵抗が増大し、ドレイン電流特性におけるニー電圧が高くなり、また、トランスコンダクタンスが低くなる。その結果として、出力電力、電力負荷効率、動作周波数が低下するという問題が生じる。窒化物半導体を用いた電界効果トランジスタに対するオーミックコンタクトとしては、チタン(Ti)/アルミニウム(Al)の積層構造において比較的良好的なオーミック接触が得られる。しかしながら、チタンとアルミニウムの膜厚比やアニール温度、時間によって特性が大きく変動し(笠原ほか、信学技法、ED99-206、1999)、良好な条件を見出すことは大変難しいという問題があった。同様の問題は、トランジスタに限らず、発光素子をはじめとする窒化物半導体を使った各種の半導体装置においても同様に生ずる。すなわち、LEDや半導体レーザなどの半導体装置においても、窒化物半導体と電極との間のコンタクト抵抗は、発光強度や温度特性などの各種の重要な特性を決定する鍵となっている。従って、良好なオーミックコンタクトを実現することは、窒化物半導体を用いた半導体装置の全般に渡って強く望まれている。本発明は、かかる課題の認識に基づいてなされたものである。すなわち、その目的は、安定に低抵抗のオーミック接触を実現し、高周波、高出力、高効率で動作する電界効果トランジスタをはじめとする高性能の各種の半導体装置を提供することにある。

【課題を解決するための手段】上記目的を達成するため、本発明の第1の半導体装置は、第1の窒化物半導体層と、前記第1の窒化物半導体層の上に設けられ、前記第1の窒化物半導体層よりも大きなバンドギャップを有する第2の窒化物半導体層と、前記第2の窒化物半導体層の上に設けられた電極と、を備え、前記第2の窒化物半導体層は、前記第1の窒化物半導体層との間の格子定数の相違に起因した格子歪を有し、且つ前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子を前記電極にトンネルさせることにより前記n側電極のコンタクト抵抗を低下させることを特徴とする。上記構成によれば、ヘテロ界面に蓄積された電子を電極にトンネルさせることによるコンタクト抵抗率の低下が得られ、半導体装置の各種特性を向上させることができる。一方、本発明の第2の半導体装置は、ウルツ鉱型構造を有し第1の窒化物半導体層と、前記第1の窒化物半導体層の上に設けられ、前記第1の窒化物半導体層と格子定数が異なり、より大きなバンドギャップを有し、且つ格子緩和し

ていない第2の窒化物半導体層と、前記第2の窒化物半導体層の上に設けられたn側電極と、を備え、前記第2の窒化物半導体層の層厚は、前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子の前記n側電極へのトンネル電流成分による前記電極のコンタクト抵抗の低下が生ずる範囲とされていることを特徴とする。上記構成によっても、ヘテロ界面に蓄積された電子を電極にトンネルさせることによるコンタクト抵抗率の低下が得られ、半導体装置の各種特性を向上させることができる。また、本発明の第3の半導体装置は、ウルツ鉱型構造を有した第1の窒化物半導体層と、前記第1の窒化物半導体層の上に設けられ、前記第1の窒化物半導体層と格子定数が異なり、より大きなバンドギャップを有し、且つ格子緩和していない第2の窒化物半導体層と、前記第2の窒化物半導体層の上に設けられたソース電極及びドレイン電極と、前記第2の窒化物半導体層の上に設けられたショットキーゲート電極と、を備え、前記第2の窒化物半導体層の層厚は、前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子の前記ソース電極及びドレイン電極へのトンネル電流成分による前記ソース電極及びドレイン電極のコンタクト抵抗の低下が生ずる範囲とされていることを特徴とする。上記構成によれば、ヘテロ界面に蓄積された電子を電極にトンネルさせることによるソース電極及びドレイン電極のコンタクト抵抗率の低下が得られ、半導体装置の各種特性を向上させることができる。また、本発明の第4の半導体装置は、ウルツ鉱型構造を有した第1の窒化物半導体層と、前記第1の窒化物半導体層の上に選択的に設けられ、前記第1の窒化物半導体層と格子定数が異なり、より大きなバンドギャップを有し、且つ格子緩和していない第2の窒化物半導体層と、前記第1の窒化物半導体層の上に選択的に設けられ、前記第1の窒化物半導体層と格子定数が異なり、より大きなバンドギャップを有する第3の窒化物半導体層と、前記第2の窒化物半導体層の上に設けられたソース電極及びドレイン電極と、前記第3の窒化物半導体層の上に設けられたショットキーゲート電極と、を備え、前記第2の窒化物半導体層の層厚は、前記第1の窒化物半導体層のヘテロ界面近傍に蓄積された電子の前記ソース電極及びドレイン電極へのトンネル電流成分による前記ソース電極及びドレイン電極のコンタクト抵抗の低下が生ずる範囲とされていることを特徴とする。上記構成によっても、ヘテロ界面に蓄積された電子を電極にトンネルさせることによるソース電極及びドレイン電極のコンタクト抵抗率の低下が得られ、半導体装置の各種特性を向上させることができる。ここで、上記第1乃至第4の半導体装置において、前記第2の窒化物半導体層の層厚は、6nm以下であるものとするれば、トンネル電流成分を顕著に増加させ、コンタクト抵抗を大幅に低下させることが可能となる。また、前記第2の窒化物半導体層が積層される前記第1の窒化物半導体層の表面は、II

Ⅲ族元素面であるものとすれば、分極による電荷蓄積の効果を顕著に得ることができる。また、前記第1の窒化物半導体層は、Ga Nからなり、前記第2の窒化物半導体層は、Al Ga Nからなるものとすれば、多くの半導体装置に適用が容易で、しかもコンタクト抵抗の低減の効果が確実に得られる。例えば、本発明をトランジスタに適用すれば、ヘテロ界面に蓄積した2次元電子とオーミック電極となる金属のあいだで、トンネル現象による電流を増大させ、低い抵抗率のオーミック電極を得ることができる。その結果、電界効果トランジスタを高出力、高効率、高周波で動作させることが可能となる。なお、本願明細書において「窒化物半導体」とは、 $B_{1-x-y-z}In_xAl_yGa_zN$  ( $x \leq 1, y \leq 1, z \leq 1, x+y+z \leq 1$ ) なる化学式において組成比  $x, y$ 、及び  $z$  をそれぞれの範囲内で変化させたすべての組成の半導体を含むものとする。さらに、これらに所定のn型あるいはp型ドーパントや、プロトン、酸素(O)、鉄(Fe)などの各種の不純物を導入したものも「窒化物半導体」に含まれるものとする。

【発明の実施の形態】以下、図面を参照しつつ、本発明の実施の形態について詳細に説明する。図1は、本発明の半導体装置の要部断面構造を表す模式図である。すなわち、同図は、半導体装置Sの電極の部分の断面構造を拡大表示した概念図である。このような半導体装置としては、後に具体例としてあげるトランジスタをはじめとして、発光ダイオードや半導体レーザあるいはその他の各種の光デバイスや電子デバイスを挙げることができる。これらの半導体装置は、サファイアやSiCなどの基板上に形成したものであってもよく、このような基板を有しないものであってもよい。そして、本発明によれば、これらの半導体装置Sの電極の形成部において、第1の窒化物半導体層11と、第2の窒化物半導体層12と、電極18と、がこの順に積層された構造を有する。以下、これらの構成要素について詳しく説明する。まず、第1の窒化物半導体層11は、ウルツ鉱型構造を有し、結晶格子が外的な応力などにより実質的に歪んでいない状態、つまり、自由状態における本来の格子定数をそのまま有するような状態で、図示しない半導体装置の本体の少なくとも一部に設けられている。第1の窒化物半導体層11の具体例としては、例えば、Ga Nを挙げることができる。また、Ga N以外にも、例えば、Ga NにGa以外のⅢ族元素が添加されたものでもよい。またさらに、この第1の窒化物半導体層の上面11Uは、(0001)面であって、Ⅲ族元素面となっていることが望ましい。例えば、この層11がGa Nよりなる場合には、その上面11Uは、(0001)ガリウム(Ga)面であることが望ましい。次に、第2の窒化物半導体層12は、第1の窒化物半導体層11と格子定数が異なり、より大きなバンドギャップを有し、且つ格子緩和していない。つまり、第2の窒化物半導体層12は、外

的な応力を受けて結晶格子が歪んだ状態とされている。この「歪み」を生じさせる要因としては、典型的には、第1の窒化物半導体層との格子定数の違いを挙げることができる。つまり、格子定数が異なる第1の窒化物半導体層11の上に第2の窒化物半導体層12を積層することにより、ミスフィット歪みを第2の窒化物半導体層12に導入することができる。第2の窒化物半導体層12の具体例としては、例えば、Al Ga Nを挙げることができる。つまり、Ga Nなどからなる第1の窒化物半導体層11の上に、それよりもバンドギャップが大きいAl Ga Nが格子緩和した状態で積層されている。またさらに、第2の窒化物層12は、その厚みが所定範囲よりも薄いことが望ましく、より具体的には、第1の窒化物半導体層11から電極18に向けたトンネル電流成分が実質的に得られる層厚の範囲を有する。その層厚は、典型的には、6 nm以下とすることが望ましい。このような第2の窒化物半導体層12の上には、電極18が設けられている。電極18としては、n型の窒化物半導体のオーミック電極材料として公知のものを適宜用いることができる。例えば、チタン(Ti)とアルミニウム(Al)とをこの順に積層させた構造を用いることができる。以上説明した構造によれば、半導体装置Sのn側のコンタクト抵抗を低下させ、良好なオーミックコンタクトが得られる。以下、その理由について詳述する。例えば、Ga Nの上に $Al_xGa_{(1-x)}N$ 層を積層した構造において、 $Al_xGa_{(1-x)}N$ 層が格子緩和しない場合には、大きなピエゾ分極と自発分極による電荷が発生することが知られている(Ambacherほか、J. Appl. Phys., 85, no. 6, p. 3222, 1999)。ウルツ鉱型構造の自由状態における本来の格子定数をそのまま有するような状態の第1の窒化物半導体層11(例えば、Ga N)のGa面に、格子緩和しない第2の窒化物半導体層12(例えば、 $Al_xGa_{(1-x)}N$ )を積層すると、そのヘテロ界面Hにはピエゾ分極と自発分極による正の電荷が蓄積し、同時にこの電荷に見合った電子Eがヘテロ界面H近傍の第1の窒化物半導体層11中に蓄積する。本発明の構造では、第1の窒化物半導体層11(例えば、Ga N)の上に積層する第2の窒化物半導体層12(例えば、 $Al_xGa_{(1-x)}N$ )の厚みを薄くすることにより、ヘテロ界面Hと電極18との距離が短くなり、ヘテロ界面Hに蓄積した電子Eが電極18に流れ込むことを容易にする。ヘテロ界面Hの電子密度は、界面に発生するピエゾ分極と自発分極による正の電荷に依存し、第2の窒化物半導体層12としてAl Ga Nを用いた場合には、アルミニウム(Al)のモル比に強く依存する。以上説明したような現象はGa As系のヘテロ接合には見られず、窒化物半導体系のヘテロ接合に特有の現象である。図2は、Ga N上に $Al_{0.5}Ga_{0.5}N$ を形成し、さらに $Al_{0.5}Ga_{0.5}N$ 上にチタン(Ti)を積層した構造における、伝導帯下部のポテン

シャル分布を表すグラフ図である。すなわちこのグラフは、ポアソン方程式を解いて計算により得られた結果である。また、ここでは、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ はドナ濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型であるとした。また、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ とGaNとの界面には、この接合に対応したピエゾ分極と自発分極による電荷があるとした。またさらに、この計算では、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ の厚み $d$ を2 nm、10 nm及び20 nmと変化させ、電子はフェルミディラック分布に従うとした。図2に表したように、いずれの構造においても、ヘテロ界面近傍にポテンシャルの井戸 $W$ が形成されている。そして、これらポテンシャル井戸 $W$ の部分に電子が蓄積する。 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ を薄くしていき、厚みをわずかに2 nmとしても、ポテンシャルの井戸 $W$ ができており、ヘテロ界面に、電子が蓄積することがわかる。この部分に蓄積した電子が半導体表面の金属電極18にトンネル現象で流れるためには、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ が薄くして、ポテンシャル障壁薄くすることが効果的で、このようにすることで電流が増加することが期待できる。図2に例示したポテンシャル分布から、図1の構造において電極18に取り出される熱電子放出電流とトンネル電流とのバランスを計算することができる。図3は、図1の構造におけるトンネル電流の熱電子放出電流に対する割合を表すグラフ図である。すなわち、同図の横軸は $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ （第2の窒化物半導体層12）の厚みを表し、縦軸はこの半導体層を抜けて流れるトンネル電流の熱電子放出電流に対する割合を表す。またここでは、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ のキャリア濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 、 $1 \times 10^{19} \text{ cm}^{-3}$ 、 $5 \times 10^{19} \text{ cm}^{-3}$ の3レベルとした。図3から、いずれのキャリア濃度においても、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層の厚み薄くなるとトンネル電流の割合が増大する傾向が見られる。 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ のキャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の場合、膜厚が約20 nmよりも薄くなるとトンネル電流成分が増加しはじめ、膜厚が約10 nmよりも薄くなると急激に増加することが分かる。また、キャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の場合、膜厚が約15 nmよりも薄くなるとトンネル電流成分は増加し始め、膜厚が約8 nmよりも薄くなると急激に増加する。一方、キャリア濃度が $5 \times 10^{19} \text{ cm}^{-3}$ の場合、膜厚が約8 nmよりも薄くなるとトンネル電流成分は増加しはじめ、膜厚が約6 nmよりも薄くなると急激に増加する。このように、それぞれ臨界的な膜厚よりも薄くなると、トンネル電流による接触抵抗の低下が顕著に得られることになる。図3に例示したようなトンネル電流と熱電子放出電流のデータから、電極18のコンタクト抵抗率を計算できる。図4は、図1の構造における電極18のコンタクト抵抗率を表すグラフ図である。同図から、例えばドナ濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の場合、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ の厚みが10 nm以下にな

るとコンタクト抵抗率は急激に低下することが分かる。また、その他の濃度レベルのデータを見ても、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ の厚みが10 nm以下になるとコンタクト抵抗率は明瞭に低下し、6 nm以下となると顕著に低下することが分かる。ここで、図4には、3レベルのドナ濃度についてそれぞれ抵抗の変化を表したが、厚さを2 nmまで薄くすると、抵抗率はドナ濃度にほとんど依存せず一点に収束する。図4に表した結果は、半導体の有効質量近似を用いたものであり、第2の窒化物半導体層（例えば、 $\text{AlGaN}$ ）が薄いほど抵抗率を低減できることを示している。実際には、第2の窒化物半導体層（例えば、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ ）の厚みは少なくとも格子定数よりも大きいことが必要である。プロセス変動を加味すると、第2の窒化物半導体層12の厚みはc軸の格子定数の2倍以上であることが必要で、 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ を用いた場合、その厚さは格子定数0.6 nmの2倍にあたる1.2 nm以上であることが必要である。ところで、図4に表した結果によれば、従来のトランジスタ構造のように $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ の厚みが20 nm～30 nmで、ドナ濃度が $10^{18} \text{ cm}^{-3}$ のオーダーであると、コンタクト抵抗率は $0.1 \Omega \text{ cm}^2$ 以上と、きわめて高い値となってしまふ。しかし、現実のプロセスでは、オーミック電極の蒸着前にRIE (Reactive Ion Etching) 処理を行ったり、電極蒸着後に600℃～900℃での高温アニールを行っているため、半導体表面の実効的なキャリア濃度が増大しているとみられる。SchlossらによればGa<sub>0.5</sub>Nを850℃でアニールするとキャリア濃度が1桁上昇することが報告されている (Appl. Phys. Lett., 68, No.19, p.2702, 1996)。一方、通常のGa<sub>0.5</sub>N系HEMTの場合、ショットキ特性が劣化せず、しかも2次元電子が高濃度に蓄積するように、 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ のドナ濃度を $(1 \sim 5) \times 10^{18} \text{ cm}^{-3}$ とする場合が多い。Schlossらの報告に従うと、オーミック電極形成時のアニールにより、実効的なキャリア濃度は $(1 \sim 5) \times 10^{18} \text{ cm}^{-3}$ となると考えられる。従って、このようなトランジスタに本発明を適用する場合には、図4の結果より、キャリア濃度が $5 \times 10^{18} \text{ cm}^{-3}$ でも、 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ の薄層化による抵抗率低減の効果をj得るには、 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ の厚みは6 nm以下とすることが望ましい。

【実施例】以下、実施例を参照しつつ、本発明の実施の形態についてさらに詳細に説明する。

（第1の実施例）図5は、本発明の第1の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。すなわち、このトランジスタは、Ga<sub>0.5</sub>Nチャネル層11の上に、厚みが1 nm以上6 nm以下の $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ 層12が積層され、この上に、ソース電極18、ドレイン電極19及びゲート電極20がそれぞれ形成された構造を有する。この電界効果

トランジスタの構造について、以下、その製造工程を参照しつつ説明する。まず、図示しない(0001)サファイア基板またはSiC基板の上にAlNからなる核生成層を薄く、たとえば4nm程度形成する。この上に、アンダーブのGaN層11をMOCVD(Metal-Organic Chemical Vapor Deposition:有機金属化学気相成長)法により、十分に厚く、たとえば2μmの厚みに成長させる。次に、 $Al_xGa_{(1-x)}$  N ( $0 < x < 1$ ) 層12として、たとえばAlのモル比xが0.3となる $Al_{0.3}Ga_{0.7}$  N層を、1nm~6nmの範囲の厚さ、たとえば2nmの厚さで、同じくMOCVD法により形成する。これらのMOCVDによる結晶成長には、Gaを含む有機金属化合物(例えば、トリメチルガリウム)の第1原料ガスと、Alを含む有機金属化合物(例えば、トリメチルアルミニウム)の第2原料ガスと、窒素を含む第3原料ガス(例えば、アンモニア)を用いることができる。 $Al_{0.3}Ga_{0.7}$  N層12はアンダーブとしても、n型としても良いが、ここではドナ濃度が $5 \times 10^{18} \text{ cm}^{-3}$ のn型となるようシリコン(Si)を不純物として含む層とした。シリコンを導入するための原料ガスとしては、シランまたはテトラエチルシランなどの有機シランを用いることができる。このような結晶成長の後、 $Al_{0.3}Ga_{0.7}$  N層12の上にオーミック電極とする金属、たとえばTi(下)/Al/Ni/Au(上)をそれぞれ25nm、250nm、40nm、45nmの厚さとして積層するよう蒸着形成して、ソース電極18及びドレイン電極19とする。さらにこれらの間に、チタン(Ti)よりも仕事関数が大きく、 $Al_{0.3}Ga_{0.7}$  Nとショットキ接合する金属の組み合わせ、たとえばNi(下層)/Au(上層)をそれぞれ50nm、250nmの厚さとして積層するよう、 $Al_{0.3}Ga_{0.7}$  N層12の上に蒸着形成してゲート電極20とする。本実施例によれば、ソース・ドレイン電極18、19とGaN層11との間に薄い $Al_xGa_{(1-x)}$  N層12Bを設けることにより、オーミック電極の抵抗率を低減することができた。また、本実施例の構造においては、 $Al_xGa_{(1-x)}$  N層12の厚さが狭い範囲に限定されるため、Alの組成を決めると、閾値電圧はほぼ一定の値となる。つまり、Alの組成比を変化させることで、所望の閾値電圧を得ることができる。

(第2の実施例)図6は、本発明の第2の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。同図については、図1乃至図5に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。本実施例のトランジスタの場合は、 $Al_xGa_{(1-x)}$  N層12Aは従来のトランジスタと同様に、所望の閾値電圧となるように厚く形成しておく。そして、オーミック電極18、19の下部12Bを1nm~6nmの範囲まで薄層化する構造とする。

この構造においても、第1実施例と同様の効果が得られる。本実施例の構造を作成するには、第1実施例の作成方法に際して、 $Al_xGa_{(1-x)}$  N層12は従来構造と同様に厚く形成しておき、ソース・ドレイン電極18、19を形成する前に、これらオーミック電極を形成する $Al_xGa_{(1-x)}$  N層の一部をエッチングする工程を加える。エッチングに際しては、塩素ガスなどを用いた反応性イオンエッチングの手法で行うことができる。この構造は第1実施例に比べて、所望の閾値電圧を実現するという点ではより柔軟に対応できる。但し、エッチングの工程を付加する必要がある点で、作成の時間とコストが増大する。本実施例の電界構造トランジスタについて、ソース電極18、ドレイン電極19のコンタクト抵抗を測定したところ、従来構造の1/10に低減できた。その結果、ドレイン電流特性のニー電圧は10%低下、トランスコンダクタンスは20%向上した。これにより、周波数20GHz、AB級動作での電力付加効率の最大値は、従来構造に比べて10%大きくすることができた。

(第3の実施例)図7は、本発明の第3の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。同図についても、図1乃至図6に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。本実施例のトランジスタの場合は、第2実施例の構造において、エッチングされた $Al_xGa_{(1-x)}$  N層12Bの領域を、オーミック電極となるソース・ドレイン電極18、19よりも広く形成している。現行のプロセスにおいては、 $Al_xGa_{(1-x)}$  N層のエッチングに用いるマスクとオーミック電極のパターニングに用いるマスクとに、「合わせずれ」を考慮した余裕を持たせることが必要である。従って、図6に表した構造を正確に作成することは難しく、本実施例のようにマージンを設けた構造のほうが製造が容易である。また、本実施例のトランジスタにおいても、ソース・ドレイン電極18、19とGaN層11との間に薄い $Al_xGa_{(1-x)}$  N層12Bを設けることにより、オーミック電極の抵抗率を低減することができた。

(第4の実施例)図8は、本発明の第4の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。同図についても、図1乃至図7に関して前述したものと同様の要素には同一の符号を付して詳細な説明は省略する。本実施例のトランジスタの場合は、第2実施例の構造において、エッチングされた $Al_xGa_{(1-x)}$  N層12Bの領域を、オーミック電極となるソース・ドレイン電極18、19よりも狭く形成している。本実施例においても、第3実施例に関して前述したように、 $Al_xGa_{(1-x)}$  N層のエッチングに用いるマスクとオーミック電極のパターニングに用いるマスクの「合わせずれ」を考慮したマージンが設けら



れているので製造が容易である。また、本実施例のトランジスタにおいても、ソース・ドレイン電極18、19とGa<sub>1-x</sub>N層11との間に薄いAl<sub>1-x</sub>Ga<sub>x</sub>N層12Bを設けることにより、オーミック電極の抵抗率を低減することができた。

(第5の実施例) 図9は、本発明の第5の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。以下、本実施例のトランジスタの構造について、その製造工程を参照しつつ説明する。まず、MOCVD法などの方法により、サファイア基板上もしくはSiC基板上にAlNの核生成層を薄く、たとえば4nm形成し、この上にチャンネルとなるGa<sub>1-x</sub>N層11を十分に厚く、たとえば2μm成長させ、Al<sub>1-x</sub>Ga<sub>x</sub>N層13を順に20nm成長させる。これらのMOCVDによる結晶成長には、第1実施例に関して前述したものと同様のガスを用いることができる。また、Al<sub>1-x</sub>Ga<sub>x</sub>N層13は、ドナ濃度が $5 \times 10^{18} \text{ cm}^{-3}$ のn型となるようシリコンを不純物として含む層とする。Siを導入するための原料ガスも第1実施例と同様とすることができる。次に、基板全面に熱CVD等でSiO<sub>2</sub>膜を堆積させた後、リソグラフィ工程にてフォトレジストのパターニングを行い、フォトレジストをマスクとして弗化アンモニウム等でウェットエッチングを行い、続いてフォトレジストを剥離することにより、SiO<sub>2</sub>マスクを形成する。塩素系ガスおよびアルゴン等の不活性ガスをを用いた、例えばECR-RIBE (Electron Cyclotron Resonance-Reactive Ion Beam Etching) によりn型Al<sub>1-x</sub>Ga<sub>x</sub>N層13のエッチングを行う。次に、SiO<sub>2</sub>マスクを弗化アンモニウム等で除去し、MBE (分子線エピタキシャル) 装置等を用いて、1nm~6nmの範囲の厚さで、たとえばAlのモル比xが0.3となるAl<sub>1-x</sub>Ga<sub>x</sub>N層12を全面に再成長する。次に、基板全面に熱CVD等でSiO<sub>2</sub>膜を堆積させた後、リソグラフィ工程にてフォトレジストのパターニングを行い、フォトレジストをマスクとして弗化アンモニウム等でウェットエッチングを行い、先のエッチングによりn型Al<sub>1-x</sub>Ga<sub>x</sub>N層13が除去された領域のGa<sub>1-x</sub>N層11上に再成長したAl<sub>1-x</sub>Ga<sub>x</sub>N層12上に、蒸着装置にて例えばTi (下層)/Al (上層) それぞれ25nm、250nmからなる積層金属膜を蒸着し、リフトオフ工程後に例えば窒素雰囲気中にて900℃30秒間の熱処理を行い、ソース電極18及びドレイン電極19を形成する。続いて、リソグラフィ工程にてフォトレジストのパターニングを行い、フォトレジストをマスクとして弗化アンモニウム等でウェットエッチングを行い、続いてn型Al<sub>1-x</sub>Ga<sub>x</sub>N層13上に再成長したAl<sub>1-x</sub>Ga<sub>x</sub>N層12上に、蒸着装置にて例えば、Ni (下層)/Au (上層) それぞれ50nm、

250nmからなる積層金属膜を蒸着し、リフトオフ工程後に例えば窒素雰囲気中にて300℃10分間の熱処理を行い、ゲート電極20を形成する。以上説明した本実施例によれば、ゲート部分は厚いAlGa<sub>1-x</sub>N層13を設けることにより、閾値を確実且つ容易に制御し、ソース・ドレイン電極のコンタクト部には、薄いAlGa<sub>1-x</sub>N層12を設けることにより本発明のコンタクト抵抗低減効果を確実に得ることができる。

(第6の実施例) 図10は、本発明の第6の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。以下、本実施例のトランジスタの構造について、その製造工程を参照しつつ説明する。まず、MOCVD法などの方法により、サファイア基板上もしくはSiC基板上にAlNの核生成層を薄く、たとえば4nm形成し、この上にチャンネルとなるアンドープGa<sub>1-x</sub>N層11を十分に厚く、たとえば2μm成長させ、この上にスペーサ層となるアンドープAl<sub>1-x</sub>Ga<sub>x</sub>N層12を1nm~6nmの範囲の厚さで成長し、この上に電子供給層となるn型Al<sub>1-x</sub>Ga<sub>x</sub>N層16を順に10nm成長させる。この上にショットキーコンタクト層となるアンドープAl<sub>1-x</sub>Ga<sub>x</sub>N層17を5nmの厚さに形成する。これらのMOCVDによる結晶成長には、第1実施例に関して前述したものと同様のガスを用いることができる。電子供給層であるAl<sub>1-x</sub>Ga<sub>x</sub>N層16はドナ濃度が $5 \times 10^{18} \text{ cm}^{-3}$ のn型となるようシリコンを不純物として含む層とする。シリコンを導入するための原料ガスについても、第1実施例と同様とすることができる。次に、基板全面に熱CVD等でSiO<sub>2</sub>膜を堆積させた後、リソグラフィ工程にてフォトレジストのパターニングを行い、フォトレジストをマスクとして弗化アンモニウム等でウェットエッチングを行い、続いてフォトレジストを剥離することでSiO<sub>2</sub>マスクを形成する。塩素系ガスおよびアルゴン等の不活性ガスをを用いた例えばECR-RIBEにより電子供給層であるn型Al<sub>1-x</sub>Ga<sub>x</sub>N層16と、ショットキーコンタクト層であるアンドープAl<sub>1-x</sub>Ga<sub>x</sub>N層17をエッチングする。次に、基板全面に熱CVD等でSiO<sub>2</sub>膜を堆積させた後、リソグラフィ工程にてフォトレジストのパターニングを行い、フォトレジストをマスクとして弗化アンモニウム等でウェットエッチングを行い、続いて先のエッチングにより表面へ露出したスペーサ層であるアンドープAl<sub>1-x</sub>Ga<sub>x</sub>N層12上へ、蒸着装置にて例えばTi (下層)/Al (上層) それぞれ25nm、250nmからなる積層金属膜を蒸着し、リフトオフ工程後に例えば窒素雰囲気中にて900℃30秒間の熱処理を行い、ソース電極18及びドレイン電極19を形成する。続いて、リソグラフィ工程にてフォトレジストのパターニングを行い、フォトレジストをマスクとして弗化アンモニウム等でウェットエッチ

ングを行い、続いて蒸着装置にて例えばNi（下層）／Au（上層）それぞれ50nm、250nmからなる積層金属膜を蒸着し、リフトオフ工程後に例えば窒素雰囲気中にて300℃10分間の熱処理を行い、アンドープAl<sub>0.1</sub>Ga<sub>0.9</sub>N層17上へゲート電極20を形成する。本実施例においても、ソース・ドレイン電極18、19とGa<sub>0.9</sub>N層11との間に薄いAl<sub>x</sub>Ga<sub>(1-x)</sub>N層12を設けることにより、オーミック電極の抵抗率を低減することができた。以上、具体例を例示しつつ本発明の実施の形態について説明した。しかし、本発明は、上述した各具体例に限定されるものではない。例えば、本発明は、具体例として表したトランジスタに限定されず、その他、発光ダイオードや半導体レーザあるいはその他各種の半導体装置に適用して同様の効果を得ることができ、これらも本発明の範囲に包含される。また、トランジスタの構造についても、具体例として表したものに限定されず、その他、当業者が本発明を適用しつつ設計変更して得られる全ての半導体装置は、本発明の範囲に包含される。例えば、半導体装置の各部を構成する材料、添加不純物、膜厚、形状、導電型、形成方法などについて当業者が適宜設計変更したものは本発明の範囲に包含される。

【発明の効果】以上詳述したように、本発明によれば、窒化物半導体を用いた半導体装置の電子に対するコンタクト抵抗を従来よりも大幅に下げることが可能となる例えば、電界効果トランジスタの場合、窒化物半導体ヘテロ界面に特有の分極によって生じたヘテロ界面の電子が、Al<sub>x</sub>Ga<sub>(1-x)</sub>N層を薄くすることによって、トンネル現象に起因した電流を増大させるため、接触抵抗の低いオーミック電極を形成することができる。その結果として、ドレイン電流特性のニー電圧が低く、トランスコンダクタンスを高くでき、高出力、高効率、高周波の動作が可能となる。すなわち、本発明によれば、窒化物半導体装置のn側のオーミックコンタクトを確実且つ容易に形成することが可能となり、各種の半導体装置の特性を改善できる点で産業上のメリットは多大である。

【図面の簡単な説明】

【図1】本発明の半導体装置の要部断面構造を表す模式\*

\*図である。

【図2】Ga<sub>0.9</sub>N上にAl<sub>0.1</sub>Ga<sub>0.9</sub>Nを形成し、さらにAl<sub>0.1</sub>Ga<sub>0.9</sub>N上にチタン（Ti）を積層した構造における、伝導帯下部のポテンシャル分布を表すグラフ図である。

【図3】図1の構造におけるトンネル電流の熱電子放出電流に対する割合を表すグラフ図である。

【図4】図1の構造における電極18のコンタクト抵抗率を表すグラフ図である。

10 【図5】本発明の第1の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。

【図6】本発明の第2の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。

【図7】本発明の第3の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。

【図8】本発明の第4の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。

【図9】本発明の第5の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。

20 【図10】本発明の第6の実施例としてのヘテロ接合電界効果トランジスタの要部断面構造を表す模式図である。

【図11】従来のGa<sub>0.9</sub>N系HEMTの要部断面構造を表す模式図である。

【符号の説明】

11 第1の窒化物半導体層（Ga<sub>0.9</sub>N層）

11U 上面

12、12B 第2の窒化物半導体層（Al<sub>x</sub>Ga<sub>(1-x)</sub>N層）

12A、13、14、16、17 Al<sub>x</sub>Ga<sub>(1-x)</sub>N層

30 18 ソース電極

19 ドレイン電極

20 ゲート電極

111 Ga<sub>0.9</sub>N層

112 Al<sub>x</sub>Ga<sub>(1-x)</sub>N層

118 ソース電極

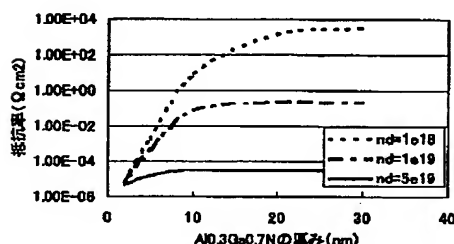
119 ドレイン電極

120 ショットキゲート

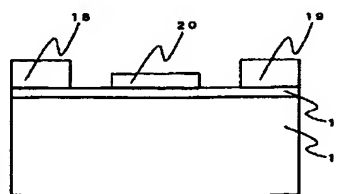
H ヘテロ界面

W ポテンシャル井戸

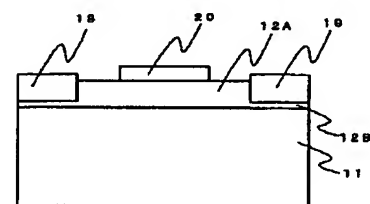
【図4】



【図5】

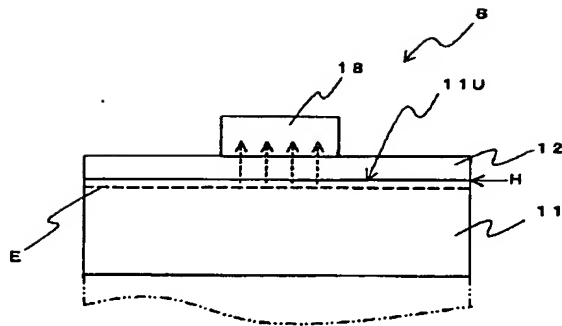


【図6】

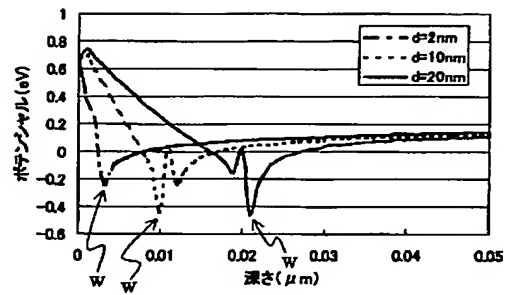




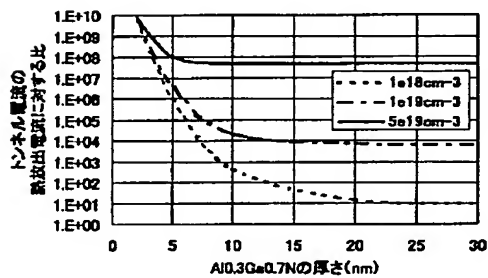
【図1】



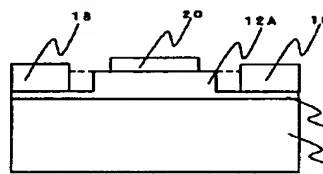
【図2】



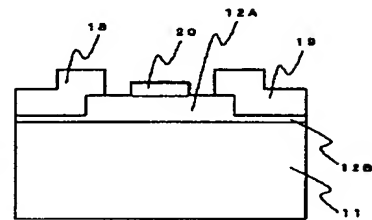
【図3】



【図7】

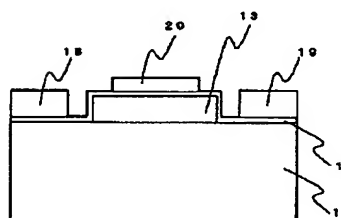


【図8】

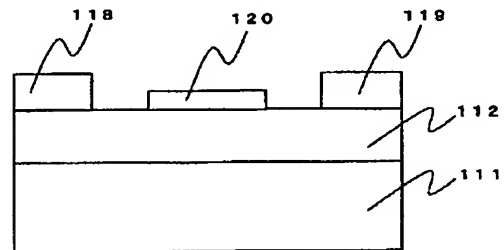
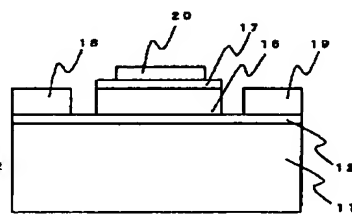


【図11】

【図9】



【図10】



フロントページの続き

F ターム(参考) 4M104 AA04 BB05 BB14 CC01 DD34  
 FF31 GG12 HH15  
 5F045 AA04 AB14 AB17 AF04 AF05  
 AF09 BB16 CA06 CA07 CB10  
 DA52 DA63  
 5F102 FA03 GB01 GC01 GD01 GJ02  
 GJ10 GK04 GL04 GM04 GM07  
 GM08 GM10 GQ01 GR03 GR10  
 GR15 GT03 HC01 HC15 HC19

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**